

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08162635 A**

(43) Date of publication of application: **21.06.96**

(51) Int. Cl.

H01L 29/78
H01L 21/336
H01L 21/768

(21) Application number: **06305046**

(22) Date of filing: **08.12.94**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(72) Inventor: **KIMURA HIROSHI**
NISHIMURA TADASHI

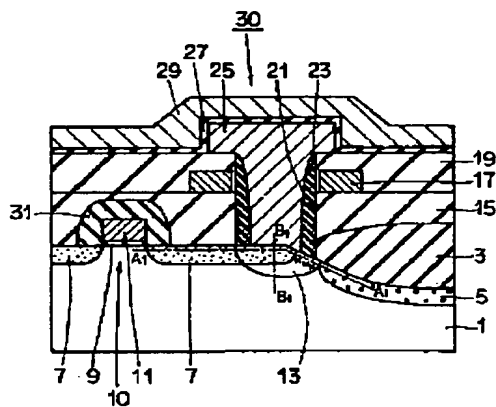
**(54) SEMICONDUCTOR DEVICE AND
MANUFACTURE THEREOF**

(57) Abstract:

PURPOSE: To prevent the narrow channel effect and further reduce junction leakage current.

CONSTITUTION: An isolation region, composed of an element isolation oxide film 3 and an element isolation impurity region 5, is formed on the surface of a p-type silicon substrate 1. A n-type source/drain regions 7 are also formed on the surface of the p-type silicon substrate 1. A first and a second layer insulation layers 15, 19 are formed which cover the entire surface and have a contact hole 21 extending to part of the surface of the n-type source/drain regions 7. An n-type impurity region 13 which contains a region partly overlapping with the n-type source/drain regions 7 and is in contact with an element isolation impurity region 5, is formed in such a way that it covers the bottom of the contact hole 21. A side wall insulating layer 23 is formed on the side wall of the contact hole 21. A storage node 25 is formed in such a way that it is in contact with the n-type impurity region 13 through the contact hole 21.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-162635

(43) 公開日 平成8年(1996)6月21日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78
21/336
21/768

H 0 1 L 29/78
21/90

3 0 1 P
D

審査請求 未請求 請求項の数 8 O L (全 18 頁) 最終頁に続く

(21) 出願番号

特願平6-305046

(22) 出願日

平成6年(1994)12月8日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 木村 広嗣

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社ユー・エル・エス・アイ開発研究
所内

(72) 発明者 西村 正

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社ユー・エル・エス・アイ開発研究
所内

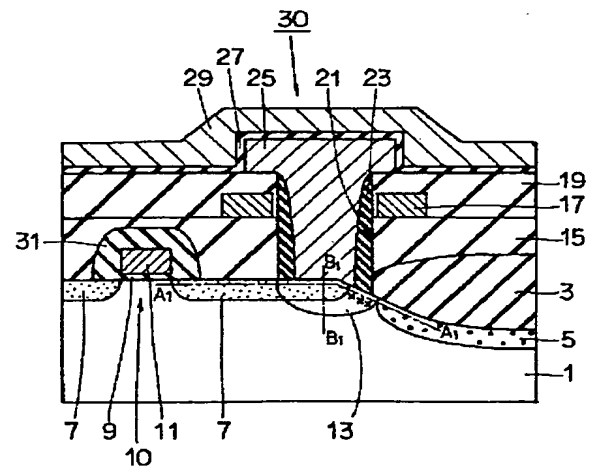
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 狭チャネル効果を防止しつつ接合リーク電流の発生を低減する。

【構成】 p型シリコン基板1の表面には、素子分離酸化膜3と素子分離不純物領域5からなる分離領域が形成されている。またp型シリコン基板1の表面にはn型ソース/ドレイン領域7が形成されている。表面全面を覆い、かつn型ソース/ドレイン領域7の一部表面に達するコンタクトホール21を有する第1および第2の層間絶縁層15、19が形成されている。コンタクトホール21の底面を覆うように、かつn型ソース/ドレイン領域7と一部重複する領域を有し素子分離不純物領域5と接するn型不純物領域13が形成されている。コンタクトホール21の側壁には側壁絶縁層23が形成されている。このコンタクトホール21を通じてn型不純物領域13と接するようにストレージノード25が形成されている。



1: p型シリコン基板 17: ビット線絶縁
3: 素子分離酸化膜 21: コンタクトホール
5: 素子分離不純物領域 23: 側壁絶縁層
7: n型ソース/ドレイン領域 25: ストレージノード
13: n型不純物領域
15, 19: 層間絶縁層

【特許請求の範囲】

【請求項 1】 主表面を有し、かつ第 1 の不純物濃度を有する第 1 導電型の半導体基板と、前記半導体基板の主表面に形成された素子分離絶縁層と、前記素子分離絶縁層の下面に接する第 1 導電型の素子分離用不純物領域と、前記半導体基板の主表面に前記素子分離用不純物領域と所定領域を挟んで形成された第 2 導電型の第 1 不純物領域と、前記半導体基板の主表面上に形成され、かつ前記第 1 不純物領域と前記所定領域との一部表面に達する孔を有する絶縁層と、前記孔の底面に位置する前記第 1 不純物領域と前記所定領域とを覆うように、かつ前記素子分離用不純物領域と接するように形成され、第 1 の不純物濃度よりも大きい第 2 の不純物濃度を有する第 2 導電型の第 2 不純物領域と、前記孔の側壁を覆う側壁絶縁層と、前記孔を通じて、前記第 1 および第 2 の不純物領域と電気的に接続される導電層とを備えた、半導体装置。

【請求項 2】 1 対の第 2 導電層をさらに備え、前記絶縁層は第 1 および第 2 の絶縁層を有し、1 対の前記第 2 導電層は前記第 1 の絶縁層上に前記孔を挟んで並走するように形成されており、前記第 2 の絶縁層は 1 対の前記第 2 導電層を覆うように前記第 1 の絶縁層上に形成されている、請求項 1 に記載の半導体装置。

【請求項 3】 前記孔の底面において前記導電層と接する領域を覆うように、かつ前記第 1 不純物領域と電気的に接続するように前記半導体基板の主表面に形成された第 2 導電型の第 3 不純物領域をさらに備え、前記第 3 不純物領域は、前記第 2 の不純物濃度よりも大きい第 3 の不純物濃度を有している、請求項 1 または 2 に記載の半導体装置。

【請求項 4】 1 対の前記第 2 導電層上に形成されたエッチング停止絶縁層をさらに備え、前記エッチング停止絶縁層は前記第 1 および第 2 の絶縁層と被エッチング特性の異なる材料よりなり、前記第 2 の絶縁層は、1 対の前記第 2 導電層およびエッチング停止絶縁層を覆うように形成されている、請求項 2 または 3 に記載の半導体装置。

【請求項 5】 第 1 の不純物濃度を有する第 1 導電型の半導体基板の主表面に素子分離絶縁層と、前記素子分離絶縁層の下面に接する第 1 導電型の素子分離用不純物領域とを形成する工程と、前記半導体基板の主表面に前記素子分離用不純物領域と所定領域を挟んで第 2 導電型の第 1 不純物領域を形成する工程と、前記第 1 不純物領域と前記所定領域との一部表面に達す

る孔を有する絶縁層を前記半導体基板の主表面上に形成する工程と、前記孔の底面に位置する前記第 1 不純物領域と前記所定領域とを覆うように、かつ前記素子分離用不純物領域と接するように、第 1 の不純物濃度よりも大きい第 2 の不純物濃度を有する第 2 導電型の第 2 不純物領域を形成する工程と、前記孔の側壁を覆うように側壁絶縁層を形成する工程と、前記孔を通じて前記第 1 および第 2 の不純物領域と電気的に接続される導電層を形成する工程とを備えた、半導体装置の製造方法。

【請求項 6】 1 対の第 2 導電層を形成する工程をさらに備え、前記絶縁層は第 1 の絶縁層と第 2 の絶縁層とを有し、前記第 1 の絶縁層上に、1 対の前記第 2 導電層が互いに並走するように形成され、1 対の前記第 2 導電層上に前記第 2 の絶縁層が形成され、前記孔は、1 対の前記第 2 導電層の間を通過して、前記第 1 不純物領域と前記所定領域との一部表面に達するように形成される、請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 側壁に前記側壁絶縁層が形成された前記孔を通じてイオンを導入することにより、前記第 1 不純物領域と接するように前記半導体基板の主表面に前記第 2 の不純物濃度よりも大きい第 3 の不純物濃度を有する第 2 導電型の第 3 不純物領域を形成する工程をさらに備え、前記第 3 不純物領域に接するように前記導電層が形成される、請求項 5 または 6 に記載の半導体装置の製造方法。

【請求項 8】 1 対の前記第 2 導電層上に、前記第 1 および第 2 の絶縁層と被エッチング特性の異なる材料よりなるエッチング停止絶縁層を形成する工程をさらに備え、前記第 2 の絶縁層は前記第 2 導電層および前記エッチング停止絶縁層上に形成される、請求項 6 または 7 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置およびその製造方法に関し、より特定的には、導電層と半導体基板との接続部分における構成およびその製造方法に関するものである。

【0002】

【従来の技術】まず従来の半導体装置の構成について説明する。

【0003】図 34 は、従来の半導体装置の構成を概略的に示す断面図である。図 34 を参照して、p 型シリコ

ン基板401の表面には、素子分離酸化膜403が形成されている。この素子分離酸化膜403の下面に接するようにp型シリコン基板401には素子分離不純物領域405が形成されている。またp型シリコン基板401の素子分離酸化膜403によって分離された領域にはnMOS (Metal Oxide Semiconductor)トランジスタ410が形成されている。

【0004】このnMOSTランジスタ410は、1対のn型ソース/ドレイン領域407、407と、ゲート酸化膜409と、ゲート電極層411とを有している。1対のn型ソース/ドレイン領域407、407は、p型シリコン基板401の表面に互いに所定の距離を隔てて形成されている。ゲート電極層411は、この1対のn型ソース/ドレイン領域407、407に挟まれる領域上にゲート酸化膜409を介在して形成されている。

【0005】なお、ゲート電極層411の上部表面および側面を覆うように絶縁層431が形成されている。

【0006】nMOSTランジスタ410を覆うようにp型シリコン基板401の表面全面に第1の層間絶縁層415が形成されている。この第1の層間絶縁層415の所定領域上には、並走するように複数本のビット線配線417が形成されている。このビット線配線417を覆うように第2の層間絶縁層419が形成されている。この第1および第2の層間絶縁層415、419には、並走する1対のビット線配線417、417間を通過し、n型ソース/ドレイン領域407の一部表面に達するコンタクトホール421が形成されている。このコンタクトホール421を介在してn型ソース/ドレイン領域407に電氣的に接続されるようにキャパシタ430が形成されている。

【0007】キャパシタ430は、ストレージノード(下部電極)425と、キャパシタ誘電膜427と、セルプレート(上部電極)429とを有している。ストレージノード425は、コンタクトホール421を通じてn型ソース/ドレイン領域407に接しており、かつ第2の層間絶縁層419上に延在するように形成されている。キャパシタ誘電膜427を介在してこのストレージノード425を覆うようにセルプレート429が形成されている。

【0008】このnMOSTランジスタ410とキャパシタ430とによりDRAM (Dynamic Random Access Memory) のメモリセルが構成されている。

【0009】なお、素子分離酸化膜403は、通常のLOCOS(Local Oxidation of Silicon)法により形成されている。

【0010】従来の半導体装置においては、素子分離酸化膜403がLOCOS法により形成されている。この形成時においては、素子分離酸化膜403の端部が素子領域内にまで延びる、いわゆるバースピークの発生することが一般的に知られている。

【0011】また、素子が微細化されてくると、写真製版工程時における重ね合わせ誤差やパターンの寸法誤差が、パターンの寸法に比較して相対的に大きくなる。特に、設計上の仕様寸法が $1.0\mu\text{m}$ 以下のような場合にはそれが顕著である。このため、コンタクトホール421形成時の重ね合わせ誤差などにより、素子領域内にまで延びてきた素子分離酸化膜403の端部がコンタクトホール421によって削り落とされる場合が生ずる。

【0012】またn型ソース/ドレイン領域407は通常、コンタクトホール421形成前に素子分離酸化膜403をマスクとして自己整合的に不純物注入することで形成されている。それゆえ、コンタクトホール421が素子分離酸化膜403の端部を削るように形成された場合には、n型ソース/ドレイン領域407と素子分離不純物領域405との間のp型シリコン基板401の領域Sがコンタクトホール421から露出することになる。

【0013】このため、ストレージノード425は、n型ソース/ドレイン領域407のみならずp型シリコン基板401とも接することになる。つまり、ストレージノード425によって、n型ソース/ドレイン領域407とp型シリコン基板401とが短絡してしまい、nMOSTランジスタ410が破壊された状態となってしまう。したがって、この状態では半導体装置を動作させても、キャパシタ430に電荷が蓄積されなくなってしまう、正常に動作させることができなくなる。

【0014】このn型ソース/ドレイン領域407とp型シリコン基板401との短絡を防止する技術は、たとえば米国特許公報5,208,407号に示されている。この文献には、コンタクトホール421の形成後、コンタクトホール421を通じて不純物を注入することにより、コンタクトホール421の底壁を覆うように不純物領域を形成する方法が示されている。

【0015】図35は、上記文献に示された方法を図34に示す従来の半導体装置に適用させた場合の構成を示す概略断面図である。図35を参照して、上記文献に示された方法を用いることによって、コンタクトホール421の底壁を覆うようにn型の不純物領域413を形成することができる。このようなn型不純物領域413を形成したことにより、ストレージノード425がn型ソース/ドレイン領域407とp型シリコン基板401とを短絡することは防止される。それゆえ、このn型不純物領域413が形成された半導体装置は正常に動作することになる。

【0016】なお、この半導体装置の各部の不純物濃度は図36、図37に示すようになっている。

【0017】図36と図37とは、図35の A_1-A_1 線と B_1-B_1 線とに沿う各部の不純物濃度分布を示すグラフである。

【0018】図35～図37を参照して、n型ソース/ドレイン領域407には、砒素(As)が $1 \times 10^{18} \sim$

$1 \times 10^{19} \text{ cm}^{-3}$ の濃度で導入されており、n型不純物領域413には、リン(P)が $1 \times 10^{18} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の濃度で導入されている。またp型シリコン基板401には、ボロン(B)が $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-3}$ の濃度で導入されており、素子分離不純物領域405にはボロンが $1 \times 10^{17} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の濃度で導入されている。

【0019】なお、これ以外の構成については、図34に示す構成とほぼ同様であるため、同一の構成部材については同一の符号を付し、その説明を省略する。

【0020】

【発明が解決しようとする課題】上述のような従来の半導体装置では、狭チャネル効果を防止しようとする、接合リーク電流が増大してしまうという問題点があった。以下、そのことについて詳細に説明する。

【0021】図35に示す従来の半導体装置では、隣接する素子間の電気的分離の効果を高めるべく、素子分離不純物領域405が設けられている。この素子分離不純物領域405は、素子領域側へ過度に延在しないように設けられている。これは、素子分離不純物領域405の不純物が素子領域側へ拡散することによるトランジスタの狭チャネル効果を防止するためである。このため、素子分離不純物領域405とn型不純物領域413との間の領域Sには、比較的不純物濃度の低いp型シリコン基板401が分布することになる。

【0022】また、狭チャネル効果を防止する有効な方法として、Nishihara et al., IEDM'88 Tech. Digest, pp.100-103 (1988)などに示されるレトログレドウェルを形成する方法がある。しかし、レトログレドウェルを形成した場合には、図35に示す構成よりも、n型不純物領域413とレトログレドウェルとの間の領域Sは広くなる。

【0023】またLOCOS法によって素子分離酸化膜403を形成する場合には、素子分離酸化膜403の端部下側に最も応力がかかる。それゆえ、素子分離酸化膜403の端部下側には結晶欠陥50が集中的に発生することが知られている。このため、従来の半導体装置では、この結晶欠陥50が素子分離不純物領域405とn型不純物領域413との間の領域Sに多数分布することになる。

【0024】従来の半導体装置の動作時には、n型不純物領域407、413とp型シリコン基板401との間に電圧が印加される。これにより、n型不純物領域407、413とp型シリコン基板401とにより構成されるpn接合部には空乏層408が生ずる。この空乏層408は、p型シリコン基板401の不純物濃度が上述したように比較的低く設定されているため、特にp型シリコン基板401側へ広く広がる。このため、素子分離不純物領域405とn型不純物領域413との間の領域Sに分布している結晶欠陥50は、この空乏層408内に

取込まれることになる。

【0025】一般に、空乏層中に結晶欠陥が存在すると、その結晶欠陥においてキャリアが発生し、接合リーク電流の発生の原因となることが知られている。このため、空乏層408中に取込まれた結晶欠陥50によって接合リーク電流が生じ、キャリアの電荷保持特性が低下する。このようにキャパシタの電荷が保持し難くなるため、DRAMの場合には、メモリセルの記憶内容の書換サイクルも短くせざるを得ず、リフレッシュ特性の劣化につながる。また、 α 粒子の照射により生ずる電子-正孔対をキャパシタの蓄積電荷と相殺させるソフトウェア耐性の劣化にもつながる。

【0026】それゆえ、本発明の目的は、狭チャネル効果を防止しつつ接合リーク電流の発生を防止し、リフレッシュ特性やソフトウェア耐性を良好にすることである。

【0027】また本発明の他の目的は、写真製版時における重ね合わせ誤差やパターン寸法誤差による導電層間のショートを防止することである。

【0028】また本発明のさらに他の目的は、接合リーク電流の発生を防止するとともに接合耐圧を向上することである。

【0029】

【課題を解決するための手段】請求項1に記載の半導体装置は、第1導電型の半導体基板と、素子分離絶縁層と、第1導電型の素子分離用不純物領域と、第2導電型の第1不純物領域と、絶縁層と、第2導電型の第2不純物領域と、側壁絶縁層と、導電層とを備えている。半導体基板は、主表面を有し、かつ第1の不純物濃度を有している。素子分離絶縁層は、半導体基板の主表面に形成されている。素子分離用不純物領域は、素子分離絶縁層の下面に接している。第1不純物領域は、半導体基板の主表面に素子分離用不純物領域と所定領域を挟んで形成されている。絶縁層は、半導体基板の主表面上に形成され、かつ第1不純物領域と所定領域との一部表面に達する孔を有している。第2不純物領域は、孔の底面に位置する第1不純物領域と所定領域とを覆うように、かつ素子分離用不純物領域と接するように形成され、第1の不純物濃度よりも大きい第2の不純物濃度を有している。側壁絶縁層は、孔の側壁を覆っている。導電層は、孔を通じて、第1および第2不純物領域と電気的に接続されている。

【0030】請求項2に記載の半導体装置は、1対の第2導電層をさらに備えている。絶縁層は第1および第2の絶縁層を有している。1対の第2導電層は、第1の絶縁層上に孔を挟んで並走するように形成されている。第2の絶縁層は、1対の第2導電層を覆うように第1の絶縁層上に形成されている。

【0031】請求項3に記載の半導体装置は、孔の底面において導電層と接する領域を覆うように、かつ第1不

純物領域と電氣的に接続するように半導体基板の主表面に形成された第2導電型の第3不純物領域をさらに備えている。第3不純物領域は、第2の不純物濃度よりも大きい第3の不純物濃度を有している。

【0032】請求項4に記載の半導体装置は、1対の第2導電層上に形成されたエッチング停止絶縁層をさらに備えている。エッチング停止絶縁層は、第1および第2の絶縁層と被エッチング特性の異なる材料よりなっている。第2の絶縁層は、1対の第2導電層およびエッチング停止絶縁層を覆うように形成されている。

【0033】請求項5に記載の半導体装置の製造方法は、以下の工程を備えている。まず第1の不純物濃度を有する第1導電型の半導体基板の主表面に素子分離絶縁層と、素子分離絶縁層の下面に接する第1導電型の素子分離用不純物領域とが形成される。そして半導体基板の主表面に素子分離用不純物領域と所定領域を挟んで第2導電型の第1不純物領域が形成される。そして第1不純物領域と所定領域との一部表面に達する孔を有する絶縁層が半導体基板の主表面上に形成される。そして孔の底面に位置する第1不純物領域と所定領域とを覆うように、かつ素子分離用不純物領域と接するように、第1の不純物濃度よりも大きい第2の不純物濃度を有する第2導電型の第2不純物領域が形成される。そして孔の側壁を覆うように側壁絶縁層が形成される。そして孔を通じて第1および第2不純物領域と電氣的に接続される導電層が形成される。

【0034】請求項6に記載の半導体装置は、1対の第2導電層を形成する工程をさらに備えている。絶縁層は第1の絶縁層と第2の絶縁層とを有している。第1の絶縁層上に1対の第2導電層が互いに並走するように形成される。1対の第2導電層上に第2の絶縁層が形成される。孔は、1対の第2導電層の間を通過して、第1不純物領域と所定領域との一部表面に達するように形成される。

【0035】請求項7に記載の半導体装置の製造方法は、側壁に側壁絶縁層が形成された孔を通じてイオンを導入することにより、第1不純物領域と接するように半導体基板の主表面に第2の不純物濃度よりも大きい第3の不純物濃度を有する第2導電型の第3不純物領域を形成する工程をさらに備えている。第3不純物領域に接するように導電層が形成される。

【0036】請求項8に記載の半導体装置の製造方法は、1対の第2導電層上に、第1および第2の絶縁層と被エッチング特性の異なる材料よりなるエッチング停止絶縁層を形成する工程をさらに備えている。第2の絶縁層は、第2導電層およびエッチング停止絶縁層上に形成される。

【0037】

【作用】請求項1に記載の半導体装置および請求項5に記載のその製造方法では、ソース/ドレイン領域となる

第1不純物領域と接する第2不純物領域が、素子分離用不純物領域に接するよう形成されている。このため、この第2不純物領域と素子分離用不純物領域との間に比較的不純物濃度の低い半導体基板の領域が分布することはない。よって、第2不純物領域と素子分離用不純物領域とにより構成されるpn接合部の空乏層が、その動作時に素子分離用不純物領域側へ大きく広がることが抑制される。したがって、空乏層内に結晶欠陥が存在することにより生ずるリーク電流が低減される。

【0038】またDRAMにおいては、リーク電流を低減できるため、キャパシタの電荷保持特性が良好となる。したがって、リフレッシュ特性やソフトエラー耐性を良好とすることができる。

【0039】また、素子分離用不純物領域が逆導電型の第2不純物領域と接しているため、素子分離用不純物領域の素子形成領域内への拡散も抑制され、狭チャネル効果を防止することができる。

【0040】請求項2に記載の半導体装置および請求項6に記載のその製造方法では、孔は、互いに並走する1対の第2導電層の間を通過するように形成されている。このため、孔の形成のための写真製版時におけるマスクの重ね合わせ誤差やパターンの寸法誤差により、孔がずれて形成される場合がある。このような場合には、孔の側壁から第2導電層の側壁が露出してしまい、その後に孔を埋込むように形成されるストレージノードなどの導電層と第2導電層とが短絡する恐れがある。しかし、この半導体装置では、孔の側壁を覆うように側壁絶縁層が形成される。このため、仮に孔の側壁から第2導電層の側壁が露出しても、その側壁はこの側壁絶縁層により覆われる。それゆえ、この側壁絶縁層形成後に形成される導電層が第2導電層と短絡することは防止される。

【0041】請求項3に記載の半導体装置および請求項7に記載のその製造方法では、導電層と半導体基板とが接する領域には、比較的不純物濃度の大きい第3不純物領域が形成されている。このため、導電層とソース/ドレイン領域となる第1不純物領域との接触抵抗は低減される。

【0042】また、この第3不純物領域を設けたため、第2不純物領域の濃度を比較的低く設定することができる。よって、第2不純物領域と素子分離用不純物領域との接合部における接合耐圧を向上させることができる。したがって、導電層との接触抵抗を低減できるとともに接合耐圧を向上させることができる。

【0043】請求項4に記載の半導体装置および請求項8に記載のその製造方法では、第2導電層上にエッチング停止絶縁層が設けられている。このエッチング停止絶縁層は絶縁層と被エッチング特性の異なる材料よりなっている。このため、絶縁層をエッチングして孔を形成する場合、エッチング停止絶縁層はほとんどエッチングされない。よって、マスクの重ね合わせ誤差などにより孔

が第2導電層の上方に形成された場合でも、エッチング停止絶縁層に覆われた導電層の上部表面が孔から露出することは防止される。したがって、この孔を通じて下層と接するように形成される導電層が、第2導電層と短絡することは防止される。

【0044】

【実施例】以下、本発明の実施例を図に基づいて説明する。

【0045】実施例1

図1は、本発明の実施例1における半導体装置の構成を概略的に示す断面図である。図1を参照して、p型シリコン基板1の表面を分離するように素子分離酸化膜3が形成されている。この素子分離酸化膜3の下面に接するようにp型シリコン基板1には素子分離不純物領域5が形成されている。p型シリコン基板1の素子分離酸化膜3によって分離された領域にはnMOSトランジスタ10が形成されている。

【0046】nMOSトランジスタ10は、1対のn型ソース/ドレイン領域7、7と、ゲート酸化膜9と、ゲート電極層11とを有している。1対のn型ソース/ドレイン領域7、7は、p型シリコン基板1の表面に互いに所定の距離を隔てて形成されている。ゲート電極層11は、この1対のn型ソース/ドレイン領域7、7に挟まれる領域上にゲート酸化膜9を介在して形成されている。なお、ゲート電極層11の側面および上部表面を覆うように絶縁層31が形成されている。

【0047】このnMOSトランジスタ10を覆うようにp型シリコン基板1の表面全面に第1の層間絶縁層15が形成されている。この第1の層間絶縁層15の所定領域上には、並走するように複数個のビット線配線17が形成されている。このビット線配線17を覆うように第1の層間絶縁層15上には第2の層間絶縁層19が形成されている。

【0048】第1および第2の層間絶縁層15、19には、対をなすビット線配線17、17の間を通過して、n型ソース/ドレイン領域7の一部表面に達するコンタクトホール21が形成されている。このコンタクトホール21の開口径は、図35に示すコンタクトホール421の開口径より大きく設定されている。

【0049】コンタクトホール21の底面を覆うようにn型不純物領域13が形成されている。このn型不純物領域13は、n型ソース/ドレイン領域7と一部重複する領域を有し、かつ素子分離不純物領域5と接するように形成されている。コンタクトホール21の側壁を覆うように側壁絶縁層23が形成されている。このコンタクトホール21を通じてn型ソース/ドレイン領域7に電氣的に接続されるようにキャパシタ30が形成されている。

【0050】キャパシタ30は、ストレージノード25と、キャパシタ誘電膜27と、セルプレート29とを有

している。ストレージノード25は、コンタクトホール21を通じてn型ソース/ドレイン領域7およびn型不純物領域13に接し、かつ第2の層間絶縁層19上に延在して形成されている。セルプレート29は、キャパシタ誘電膜27を介在してストレージノード25を覆うように第2の層間絶縁層19上に形成されている。

【0051】図2と図3とは、図1のA₁-A₁線とB₁-B₁線とに沿う各部の不純物濃度を示すグラフである。図1～図3を参照して、p型シリコン基板1には、 $1 \times 10^{14} \text{ cm}^{-3}$ 以上 $1 \times 10^{15} \text{ cm}^{-3}$ 以下でボロンが導入されている。また素子分離不純物領域5には、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下でボロンが導入されている。n型ソース/ドレイン領域7には、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下で砒素が導入されている。またn型不純物領域13には、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下でリンが導入されている。

【0052】次に、本実施例の半導体装置の製造方法について説明する。図4～図17は、本発明の実施例1における半導体装置の製造方法を工程順に示す概略断面図である。まず図4を参照して、p型シリコン基板1の表面に、通常のLOCOS法により素子分離酸化膜3と素子分離不純物領域5とからなる素子分離領域が形成される。このLOCOS法により素子分離領域の形成時に、素子分離酸化膜3の端部下側には結晶欠陥50が形成される。この後、p型シリコン基板1を酸化するか、またはCVD (Chemical Vapor Deposition)法によりゲート酸化膜9が形成される。

【0053】図5を参照して、不純物が導入された多結晶シリコン（以下、ドーブト多結晶シリコンと称する）もしくは、Al（アルミニウム）、W（タングステン）、Ti（チタン）などの金属またはそれらの合金よりなる導電層11と、その上にシリコン酸化膜やシリコン窒化膜などよりなる絶縁膜31aとが積層して形成される。この後、写真製版技術およびRIE (Reactive Ion Etching)などのドライエッチングによって導電層11および絶縁膜31aがパターンニングされ、ゲート電極層11が形成される。

【0054】図6を参照して、ゲート電極層11および素子分離酸化膜3とをマスクとして、加速電圧：30 keV、ドーズ量： $5 \times 10^{13} \text{ cm}^{-2}$ で砒素が注入される。これにより、ゲート電極層11の下側領域を挟むように1対のn型ソース/ドレイン領域7、7が形成される。この1対のn型ソース/ドレイン領域7、7と、ゲート絶縁層9と、ゲート電極層11とによりnMOSトランジスタ10が構成される。

【0055】なお、上記の砒素のイオン注入の条件は、加速電圧：5～50 keV、ドーズ量： $1 \times 10^{13} \sim 5 \times 10^{14} \text{ cm}^{-2}$ の幅をもっており、必ずしも上記条件に限定されるものではない。

【0056】図7を参照して、CVD法により、シリコ

ン酸化膜やシリコン窒化膜などよりなる絶縁層が表面全面に堆積された後、RIEにより表面全面に異方性エッチングが行なわれる。これにより、ゲート電極層11の側壁を覆う側壁絶縁層31bが形成される。絶縁層31aと側壁絶縁層31bとによりゲート電極層11の周囲を取囲む絶縁層31が構成される。

【0057】図8を参照して、CVD法により表面全面にシリコン酸化膜やシリコン窒化膜などよりなる第1の層間絶縁層15が形成される。この第1の層間絶縁層15の上部表面を、厚膜に積層した後に所望の厚みまで膜を削り落とす方法や、膜の堆積後に熱を加える（リフロ）方法などにより、比較的平坦にすることもできる。

【0058】さらに、写真製版技術によって、ビット線コンタクト孔形成用のレジストパターンが形成される

（図示せず）。このレジストパターンをマスクとしてRIEによるドライエッチングなどを施すことにより、第1の層間絶縁層15にビット線コンタクト孔（図示せず）が形成される。その後、レジストパターンが除去される。

【0059】図9を参照して、ビット線となるべき導電層17aが第1の層間絶縁層15上に形成される。この導電層17a上に、写真製版技術によって、所望形状を有するレジストパターン41aが形成される。このレジストパターン41aをマスクとしてRIEなどの異方性エッチングが導電層17aに施される。

【0060】図10を参照して、この異方性エッチングにより、ビット線配線17が形成される。この後、酸素（ O_2 ）雰囲気のパラズマ中で灰化させるか、または H_2SO_4 液に浸すことにより、レジストパターン41aが除去される。

【0061】図11を参照して、CVD法によりシリコン酸化膜やシリコン窒化膜などよりなる第2の層間絶縁層19が形成される。この第2の層間絶縁層19の上部表面を、第1の層間絶縁層15と同様、厚膜に積層した後に所望の厚さまで膜を削り落とす方法や、膜の堆積後に熱を加える方法などにより、比較的平坦にすることもできる。

【0062】図12を参照して、写真製版技術によって第2の層間絶縁層19上に所望の形状を有するレジストパターン41bが形成される。このレジストパターン41bをマスクとして、第1および第2の層間絶縁層15、19にRIEによる異方性のドライエッチングが施される。この後、レジストパターン41bが除去される。

【0063】図13を参照して、上記のエッチングにより、並走するビット線17の間を通過し、かつn型ソース／ドレイン領域7の一部表面およびp型シリコン基板1の一部表面に達するコンタクトホール21が形成され

において、素子分離酸化膜5の端部は削られる。

【0065】図14を参照して、加速電圧：70keV、ドーズ量： $8 \times 10^{13} \text{ cm}^{-2}$ で表面全面にリンがイオン注入される。これにより、自己整合的にリンイオンが注入され、コンタクトホール21の底面を覆うようにn型不純物領域13が形成される。このn型不純物領域13は、n型ソース／ドレイン領域7と一部重複した領域を有し、かつ素子分離不純物領域5と接するように形成される。

【0066】なお、上記リンの注入条件は、加速電圧：20～200keV、ドーズ量： $1 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ の幅をもっており、必ずしも上記条件に限定されるものではない。また、不純物種はリンの他に砒素が適用されてもよい。

【0067】図15を参照して、CVD法により、シリコン酸化膜やシリコン窒化膜などよりなる絶縁層がコンタクトホール21の内壁面および第2の層間絶縁層19上を覆うように形成される。この絶縁層の全面にRIEなどの異方性ドライエッチングが、少なくともコンタクトホール21の底壁が露出するまで行なわれる。これにより、コンタクトホール21の側壁に自己整合的に側壁絶縁層23が形成される。

【0068】この側壁絶縁層23を形成したことにより、仮にビット線配線17の側面がコンタクトホール21の側壁より露出していても、この側壁絶縁層23によりビット線配線17の露出した側壁が覆われることになる。

【0069】図16を参照して、ドーパント多結晶シリコン層やAl、W、Ti、Pt（白金）、Cu（銅）、Ag（銀）などの金属またはそれらの合金などからなる導電層が表面全面に形成される。この導電層上に、写真製版技術により所望の形状を有するレジストパターン（図示せず）が形成され、このレジストパターンをマスクとして導電層にRIEなどによるエッチングが行なわれる。このエッチングにより、コンタクトホール21を通じてn型ソース／ドレイン領域7およびn型不純物領域13の一部表面に接し、かつ第2の層間絶縁層19上に延在するストレージノード25が形成される。この後、レジストパターンが除去される。

【0070】図17を参照して、ストレージノード25の表面上を覆うようにキャパシタ誘電膜27が形成される。この後、キャパシタ誘電膜27上に、ドーパント多結晶シリコンやAl、W、Ti、Pt、Cu、Agなどの金属またはそれらの合金などからなる導電層が形成される。この導電層上に、写真製版技術により所望の形状を有するレジストパターンが形成され、このレジストパターンをマスクとして導電層にRIEなどによるエッチングが施される。これにより、図1に示すように、キャパシタ誘電膜27を介在してストレージノード25と対向するセルプレート29が形成される。ストレージノード

【0064】なお、このコンタクトホール21の形成時

25とキャパシタ誘電膜27とストレージノード29とによりキャパシタ30が構成される。

【0071】以上説明したように、本実施例では図1に示すようにn型不純物領域13は、素子分離不純物領域5と接するように形成されている。これにより、素子分離酸化膜3の端部下側に形成された欠陥50は、n型不純物領域13内に存在することになる。このn型不純物領域13と素子分離不純物領域5とは、p型シリコン基板1に比べてその不純物濃度が高い。このため、その動作時において、n型不純物領域13と素子分離不純物領域5とよりなるpn接合部における空乏層の広がりとは大幅に抑制される。これにより、この空乏層内に取込まれる結晶欠陥50の数も図35に示す従来例と比較して大幅に減少する。従って、この空乏層内に取込まれた結晶欠陥によって生ずるリーク電流は低減される。

【0072】このリーク電流の発生を低減できるため、キャパシタ30の電荷保持特性が良好となり、nMOSトランジスタ10とキャパシタ30とからなるメモリセルのリフレッシュ特性やソフトエラー耐性が良好となる。

【0073】また、本実施例では、狭チャネル効果を防止しつつn型不純物領域13と素子分離不純物領域5とを接するように配置させる必要性から、コンタクトホール21の開口径を図35に示す従来例より大きく設定しなければならない。このコンタクトホール21は、並走するビット線17の間を通過して形成される。それゆえ、コンタクトホール21の開口径を大きくした場合、ビット線17の側壁がコンタクトホール21の側壁から露出する恐れがある。

【0074】しかし、本実施例では、コンタクトホール21の側壁を覆うように側壁絶縁層23が設けられている。それゆえ、仮にコンタクトホール21の側壁からビット線17の側壁が露出した場合でも、側壁絶縁層23によって露出したビット線17の側壁が覆われることになる。それゆえ、ストレージノード25がビット線17と短絡することは防止される。

【0075】実施例2

図18は、本発明の実施例2における半導体装置の構成を概略的に示す断面図である。図19と図20とは、図18のA₁-A₂線とB₁-B₂線とに沿う各部の不純物濃度を示すグラフである。

【0076】まず図18を参照して、本実施例の半導体装置は、実施例1と比較して、n型不純物領域113の濃度およびn型不純物領域114が追加されている点において異なる。

【0077】つまり、n型不純物領域113には、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の濃度でリンが含まれている。またn型不純物領域114は、コンタクトホール21の底壁において、ストレージノード25と接する領域を覆うように形成されている。このn型不純

物領域114には、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下の濃度でリンが含まれている。つまり、このn型不純物領域114は、実施例1のn型不純物領域13よりも不純物濃度が高くなるように形成されている。

【0078】なお、これ以外の構成については実施例1とほぼ同様であるため、同一の構成部材については同一の符号を付し、その説明を省略する。

【0079】次に、本実施例の半導体装置の製造方法について説明する。図21と図22とは、本発明の実施例2における半導体装置の製造方法を工程順に示す概略断面図である。

【0080】本実施例の製造方法は、まず実施例1の図4～図13と同一の工程を経る。その後、図21を参照して、加速電圧：60keV、ドーズ量： $5 \times 10^{13} \text{ cm}^{-2}$ で表面全面にリンがイオン注入される。これにより、コンタクトホール21の底面に自己整合的にn型不純物領域113が形成される。

【0081】なお、このリンの注入条件は、加速電圧：20～200keV、ドーズ量： $1 \times 10^{12} \sim 1 \times 10^{13} \text{ cm}^{-2}$ の幅をもっており、必ずしも上記条件に限定されるものではない。また不純物種もリンの他に、砒素が適用されてもよい。

【0082】この後、実施例1と同様の工程を経ることにより、コンタクトホール21の側壁に側壁絶縁層23が形成される。

【0083】図22を参照して、加速電圧：80keV、ドーズ量： $5 \times 10^{14} \text{ cm}^{-2}$ で表面全面にリンがイオン注入される。これにより、コンタクトホール21の底面において側壁絶縁層23より露出する表面を覆うようにn型不純物領域114が形成される。このn型不純物領域114は、n型ソース/ドレイン領域7と一部重複する領域を有している。

【0084】なお、上記リンの注入条件は、加速電圧：20～200keV、ドーズ量： $1 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ の幅をもっており、必ずしも上記条件に限定されるものではない。また不純物種もリンの他に、砒素が適用されてもよい。

【0085】この後、実施例1の図16と図17とに示す工程を経ることにより、図18に示す半導体装置が製造される。

【0086】以上説明したように、本実施例では、ストレージノード25と接する領域に、n型不純物領域114が新たに追加されており、このn型不純物領域114は、実施例1のn型不純物領域13と比較して高い不純物濃度を有している。このため、ストレージノード25とn型不純物領域114との接触抵抗は実施例1と比較して低減される。

【0087】またn型不純物領域114を設けたため、n型不純物領域113の不純物濃度をそれほど高く設定する必要はなく、実施例1よりも低い不純物濃度に設定

することができる。このため、n型不純物領域113と素子分離不純物領域5との接合部における接合耐圧を向上させることができる。したがって、ストレージノード25との接触抵抗を低減できるとともに接合耐圧を向上させることもできる。

【0088】なお、本実施例は、上記以外に実施例1と同様の効果も有する。

実施例3

図23は、本発明の実施例3における半導体装置の構成を概略的に示す断面図である。図23を参照して、本実施例の半導体装置は、実施例1と比較して、エッチング停止用の絶縁層218が追加されている点で異なる。このエッチング停止用の絶縁層218は、ビット線配線17上に形成されており、たとえばシリコン窒化膜よりなっている。また、本実施例は、コンタクトホール221の側壁にビット線配線17の側壁が面しており、かつコンタクトホール221がエッチング停止用の絶縁層218の上部表面の一部にも達している構成について示している。このような構成の場合には、コンタクトホール221の側壁に形成される側壁絶縁層223の構成が、実施例1の側壁絶縁層23とは若干異なる。

【0089】なお、これ以外の構成については実施例1とほぼ同様であるため、同一の構成部材については同一の符号を付し、その説明を省略する。

【0090】次に、本実施例の半導体装置の製造方法について説明する。図24～図32は、本発明の実施例3における半導体装置の製造方法を工程順に示す概略断面図である。

【0091】本実施例の製造方法は、まず図4～図8に示す実施例1と同様の工程を経る。その後、図24を参照して、第1の層間絶縁層15上に導電層17aが形成される。この導電層17a上にたとえばシリコン窒化膜218aが形成される。シリコン窒化膜218a上に写真製版技術により所望の形状を有するレジストパターン41aが形成される。このレジストパターン41aをマスクとしてシリコン窒化膜218aおよび導電層17aにRIEなどによる異方性のドライエッチングが施される。

【0092】図25を参照して、このエッチングにより、導電層よりビット線配線17が形成される。この後、酸素(O_2)雰囲気中のプラズマ中で灰化するか、もしくは H_2SO_4 液に浸すことにより、レジストパターン41aが除去される。

【0093】図26を参照して、ビット線配線17および絶縁層218を覆うように、CVD法によりシリコン酸化膜やシリコン窒化膜よりなる第2の層間絶縁層19が形成される。この第2の層間絶縁層19の上部表面を、厚膜に堆積した後に、所望の厚みまで膜を削り落とす方法や、膜の堆積後に熱を加える方法などにより、比較的平坦にすることもできる。

【0094】図27を参照して、写真製版技術によって、第2の層間絶縁層19上には、レジストパターン241bが形成される。このとき、レジストパターン241bのホールパターン242は、ビット線配線17の上方に位置してもよい。このレジストパターン241bをマスクとして、まず第2の層間絶縁層19にRIEによる異方性ドライエッチングが施される。

【0095】図28を参照して、このエッチングは、たとえばマグネトロンRIE装置により、 CHF_3/CO 混合ガスプラズマ雰囲気中に行なわれる。この方法は、たとえば1994年 春季応用物理学会予稿集 29p-2F-2 p. 537に示されている。この方法により、COのガス添加量を80%にすると、シリコン酸化膜(SiO_2)/シリコン窒化膜(Si_3N_4)のエッチング選択比17～20が得られる。

【0096】たとえば、コンタクトホール221がエッチング停止用の絶縁層218の上部表面に到達してから、p型シリコン基板1に到達するまでのエッチング深さが約1.0 μm であるとする、選択比が17の場合、この絶縁層218の厚みは約0.06～0.07 μm 程度であればよい。つまり、エッチング停止用の絶縁層218がこの厚みを有していれば、コンタクトホール221形成時のエッチングでビット線17の上部表面が露出することはない。

【0097】また、月刊 Semiconductor World 1993. 10, pp.68-75に示されるような高密度プラズマRIE装置と C_2F_6 ガスとの組合せによっても、シリコン酸化膜/シリコン窒化膜のエッチング選択比20が得られる。

【0098】上述のようなエッチングにより、第1および第2の層間絶縁層15、19には、コンタクトホール221が形成される。このコンタクトホール221は、その側壁においてビット線17の側壁を露出させ、かつ絶縁層218の上部表面に達している。また、このコンタクトホール221は、素子分離酸化膜3の端部を削り落としている。

【0099】図29を参照して、加速電圧：70 keV、ドーズ量： $8 \times 10^{13} cm^{-2}$ で表面全面にリンがイオン注入される。これにより、コンタクトホール221の底面に自己整合的にn型不純物領域13が形成される。このn型不純物領域13は、n型ソース/ドレイン領域7と一部重複する領域を有し、かつ素子分離不純物領域5と接するように形成される。

【0100】図30を参照して、CVD法により、シリコン酸化膜やシリコン窒化膜などよりなる絶縁膜が形成され、この絶縁膜の全面にたとえばRIEなどの異方性ドライエッチングが施される。これにより、コンタクトホール221の側壁には、側壁絶縁層223が形成される。この側壁絶縁層223により、コンタクトホール221の側壁において露出していたビット線配線17の側

壁が覆われる。

【0101】図31を参照して、ドーフト多結晶シリコンやAl、W、Ti、Pt、Cu、Agなどの金属またはそれらの合金などからなる導電層が形成される。この導電層上に、写真製版技術により、所望の形状を有するレジストパターン（図示せず）が形成され、このレジストパターンをマスクとして導電層にRIEなどによるエッチングが施される。これにより、コンタクトホール221を通じてn型ソース/ドレイン領域7に電氣的に接続され、かつ第2の層間絶縁層19上に延在するようにストレージノード25が形成される。この後、レジストパターンが除去される。

【0102】図32を参照して、ストレージノード25の表面を覆うようにキャパシタ誘電膜27が形成される。この後、ドーフト多結晶シリコンやAl、W、Ti、Pt、Cu、Agなどの金属またはそれらの合金などからなる導電層が形成される。この導電層上に、写真製版技術により所望の形状を有するレジストパターン（図示せず）が形成され、このレジストパターンをマスクとして導電層にRIEなどによるエッチングが施されることにより、図23に示すセルプレート29が形成される。

【0103】ストレージノード25と、キャパシタ誘電膜27と、セルプレート29とによりキャパシタ30が構成される。

【0104】以上説明したように、本実施例では、ビット線配線17上にエッチング停止用の絶縁層218が設けられている。このエッチング停止用の絶縁層218は、第1および第2の層間絶縁層15、19と被エッチング特性の異なる材料よりなっている。このため、第1および第2の絶縁層にコンタクトホール221を形成するエッチングがエッチング停止用の絶縁層218に施されても、この絶縁層218はほとんどエッチングされない。よって、マスクの重ね合わせ誤差などによりコンタクトホール221がビット線配線17の上方に形成された場合でも、エッチング停止用の絶縁層218に覆われたビット線配線17の上部表面がコンタクトホール221から露出することは防止される。したがって、ストレージノード25とビット線配線17とが短絡することは防止される。

【0105】なお、本実施例においては、コンタクトホール221の側壁から、対をなすビット線配線17、17のいずれか一方の側壁が露出した状態について説明したが、図33に示すようにコンタクトホール221aの側壁において対をなすビット線配線17、17の双方の側壁が露出しているもよい。この場合でも、側壁絶縁層223により対をなすビット線配線17、17双方の側壁は覆われる。よって、ビット線配線17とストレージノード25とが短絡することは防止される。

【0106】また本実施例では、エッチング停止用の絶

縁層218としてシリコン窒化膜を用いた場合について説明したが、エッチング停止用の絶縁層218は、第1および第2の層間絶縁層15、19と十分なエッチング選択比を確保できる材料であればいかなる材料であってもよい。

【0107】また、エッチング停止用の導電層218は、一層構造に限られず多層積層構造であってもよい。この場合、上層が導電性材料（ドーフト多結晶シリコン、TiSi、WSi、TiNなど）で第1および第2の層間絶縁層15、19とエッチング選択比を確保できるものであり、下層がシリコン酸化膜のごとき絶縁性を確保できる材料であってもよい。

【0108】また、実施例1～3においては、nMOSトランジスタ10のソース/ドレイン領域7は、LDD（Lightly Doped Drain）構造でない構成について説明したが、図33に示すようにLDD構造を有していてもよい。つまり、n型ソース/ドレイン領域7は、n⁻不純物拡散領域7aとn⁺不純物拡散領域7bとの2層構造よりなっている。

【0109】このようなLDD構造が適用された場合には、n型ソース/ドレイン領域7の形成におけるイオン注入において、より高濃度の注入が行なわれる条件も想定される。このようなLDD構造を構成する不純物領域の形成のためのイオン注入条件は、加速電圧：30～80keV、ドーズ量： $5 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ の幅を持つことになる。さらに、不純物種は、砒素の他にも、リンが適用される可能性も高い。

【0110】なお、実施例1～3では、ゲート絶縁層9にシリコン酸化膜が採用されたnMOSトランジスタ10について説明したが、ゲート絶縁層9はシリコン酸化膜に限られず、絶縁層であればよい。それゆえ、MOSトランジスタに限られずMIS（Metal Insulation Semiconductor）トランジスタであってもよい。

【0111】

【発明の効果】請求項1に記載の半導体装置および請求項5に記載のその製造方法では、第2不純物領域が素子分離用不純物領域に接するよう形成されている。このため、第2不純物領域と素子分離用不純物領域とにより構成されるpn接合部の空乏層が素子分離用不純物領域側へその動作時に広がることが抑制される。したがって、空乏層内に結晶欠陥が存在することにより生ずるリーク電流が低減される。

【0112】DRAMにおいては、リーク電流を低減できるため、リフレッシュ特性やソフトエラー耐性を良好にすることができる。

【0113】請求項2に記載の半導体装置および請求項6に記載のその製造方法では、孔の側壁を覆うように側壁絶縁層が形成される。このため、仮に孔の側壁から第2導電層の側壁が露出しても、その側壁はこの側壁絶縁層により覆われる。したがって、第2導電層と導電層と

の短絡が防止される。

【0114】請求項3に記載の半導体装置および請求項7に記載のその製造方法では、導電層と半導体基板とが接する領域には、比較的不純物濃度の高い第3不純物領域が形成されている。このため、導電層とソース／ドレイン領域となる第1不純物領域との接触抵抗は低減される。

【0115】また、この第3不純物領域を設けたため、第2不純物領域の濃度を比較的低くすることができる。したがって、第2不純物領域と素子分離用不純物領域との接合部における接合耐圧を向上させることができる。したがって、導電層との接触抵抗を低減できるとともに接合耐圧を向上することもできる。

【0116】請求項4に記載の半導体装置および請求項8に記載のその製造方法では、第2導電層上にエッチング停止絶縁層が設けられている。このエッチング停止絶縁層は絶縁層と被エッチング特性の異なる材料よりなっている。このため、絶縁層に孔を形成するためのエッチングによって、エッチング停止用絶縁層はほとんどエッチングされない。よって、マスクの重ね合わせ誤差などにより孔が第2導電層の上方に形成された場合でも、エッチング停止用の絶縁層に覆われた導電層の上部表面が孔から露出することは防止される。したがって、第2導電層と導電層とが短絡することが防止される。

【図面の簡単な説明】

【図1】 本発明の実施例1における半導体装置の構成を概略的に示す断面図である。

【図2】 図1のA₁-A₁線に沿う各部の不純物濃度分布を示すグラフである。

【図3】 図1のB₁-B₁線に沿う各部の不純物濃度分布を示すグラフである。

【図4】 本発明の実施例1における半導体装置の製造方法の第1工程を示す概略断面図である。

【図5】 本発明の実施例1における半導体装置の製造方法の第2工程を示す概略断面図である。

【図6】 本発明の実施例1における半導体装置の製造方法の第3工程を示す概略断面図である。

【図7】 本発明の実施例1における半導体装置の製造方法の第4工程を示す概略断面図である。

【図8】 本発明の実施例1における半導体装置の製造方法の第5工程を示す概略断面図である。

【図9】 本発明の実施例1における半導体装置の製造方法の第6工程を示す概略断面図である。

【図10】 本発明の実施例1における半導体装置の製造方法の第7工程を示す概略断面図である。

【図11】 本発明の実施例1における半導体装置の製造方法の第8工程を示す概略断面図である。

【図12】 本発明の実施例1における半導体装置の製造方法の第9工程を示す概略断面図である。

【図13】 本発明の実施例1における半導体装置の製

造方法の第10工程を示す概略断面図である。

【図14】 本発明の実施例1における半導体装置の製造方法の第11工程を示す概略断面図である。

【図15】 本発明の実施例1における半導体装置の製造方法の第12工程を示す概略断面図である。

【図16】 本発明の実施例1における半導体装置の製造方法の第13工程を示す概略断面図である。

【図17】 本発明の実施例1における半導体装置の製造方法の第14工程を示す概略断面図である。

【図18】 本発明の実施例2における半導体装置の構成を概略的に示す断面図である。

【図19】 図18のA₂-A₂線に沿う各部の不純物濃度分布を示すグラフである。

【図20】 図18のB₂-B₂線に沿う各部の不純物濃度分布を示すグラフである。

【図21】 本発明の実施例2における半導体装置の製造方法の第1工程を示す概略断面図である。

【図22】 本発明の実施例2における半導体装置の製造方法の第2工程を示す概略断面図である。

【図23】 本発明の実施例3における半導体装置の構成を概略的に示す断面図である。

【図24】 本発明の実施例3における半導体装置の製造方法の第1工程を示す概略断面図である。

【図25】 本発明の実施例3における半導体装置の製造方法の第2工程を示す概略断面図である。

【図26】 本発明の実施例3における半導体装置の製造方法の第3工程を示す概略断面図である。

【図27】 本発明の実施例3における半導体装置の製造方法の第4工程を示す概略断面図である。

【図28】 本発明の実施例3における半導体装置の製造方法の第5工程を示す概略断面図である。

【図29】 本発明の実施例3における半導体装置の製造方法の第6工程を示す概略断面図である。

【図30】 本発明の実施例3における半導体装置の製造方法の第7工程を示す概略断面図である。

【図31】 本発明の実施例3における半導体装置の製造方法の第8工程を示す概略断面図である。

【図32】 本発明の実施例3における半導体装置の製造方法の第9工程を示す概略断面図である。

【図33】 対をなすビット線配線の双方の側壁がコンタクトホールから露出した様子を示す概略断面図である。

【図34】 従来の半導体装置の構成を概略的に示す断面図である。

【図35】 ソース／ドレイン領域と基板との短絡を防止する従来の構成を示す概略断面図である。

【図36】 図35のA₁-A₁線に沿う各部の不純物濃度分布を示すグラフである。

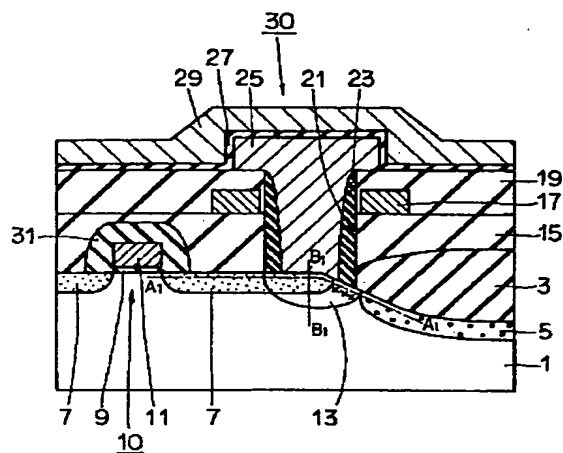
【図37】 図35のB₁-B₁線に沿う各部の不純物濃度分布を示すグラフである。

【符号の説明】

1 p型シリコン基板、3 素子分離酸化膜、5 素子分離不純物領域、7 n型ソース/ドレイン領域、13 n型不純物領域、15、19 層間絶縁層、17 ビット

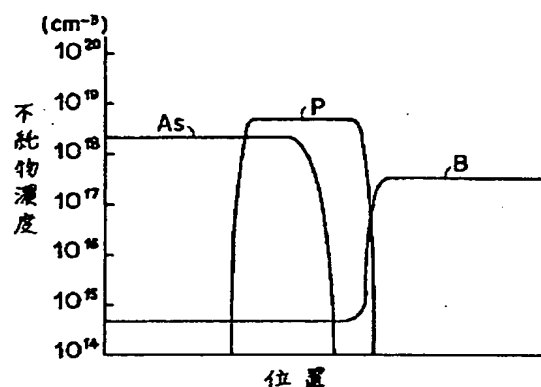
ト線配線、21 コンタクトホール、23 側壁絶縁層、25 ストレージノード、113、114 n型不純物領域、218 絶縁層、221 コンタクトホール、223 側壁絶縁層。

【図1】

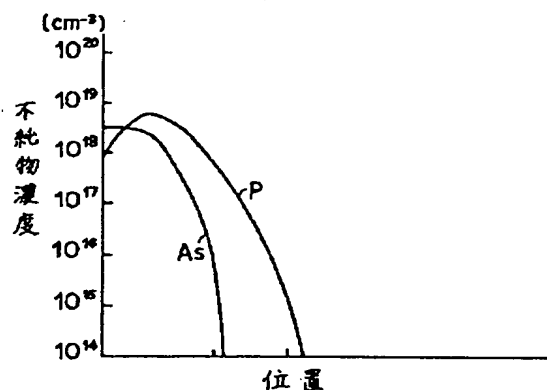


1: p型シリコン基板
3: 素子分離酸化膜
5: 素子分離不純物領域
7: n型ソース/ドレイン領域
13: n型不純物領域
15, 19: 層間絶縁層
17: ビット線配線
21: コンタクトホール
23: 側壁絶縁層
25: ストレージノード

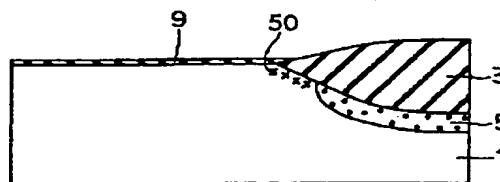
【図2】



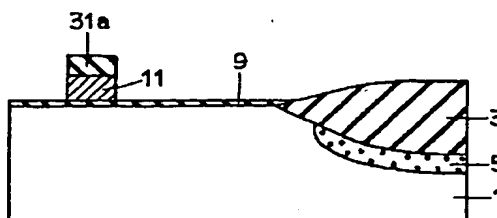
【図3】



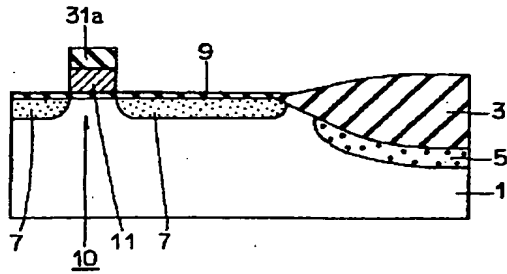
【図4】



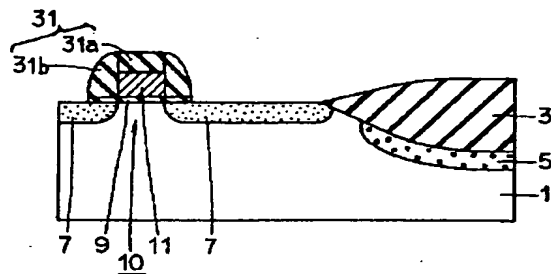
【図5】



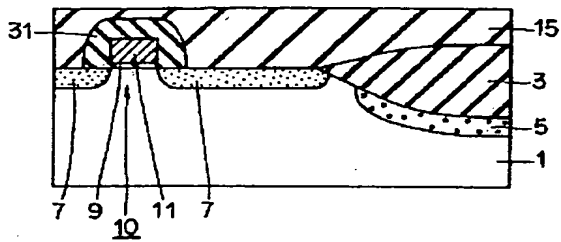
【図 6】



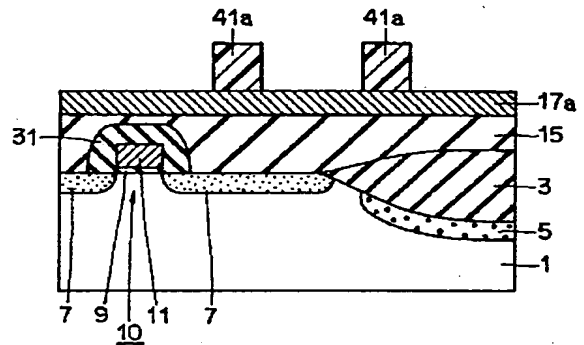
【図 7】



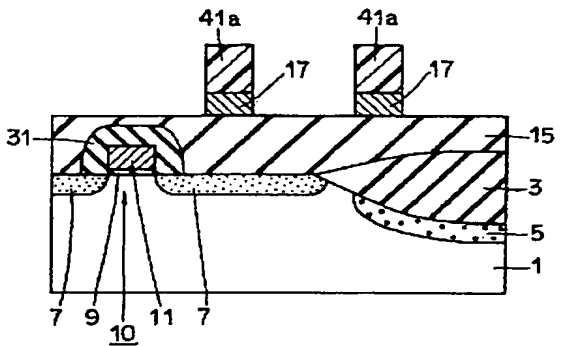
【図 8】



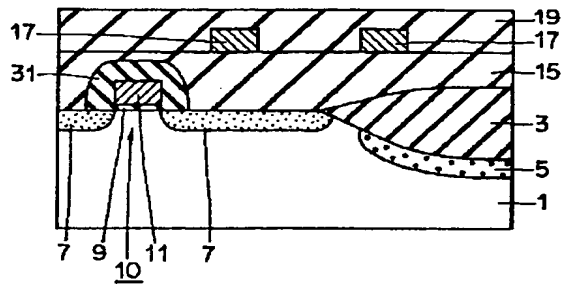
【図 9】



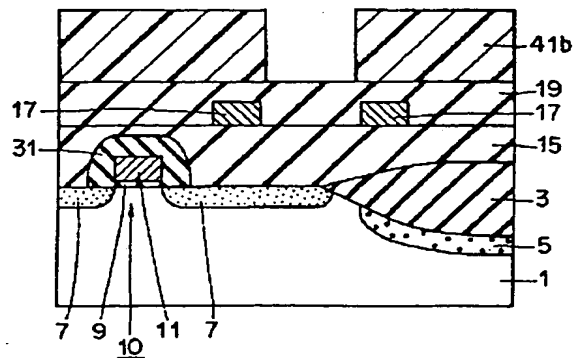
【図 10】



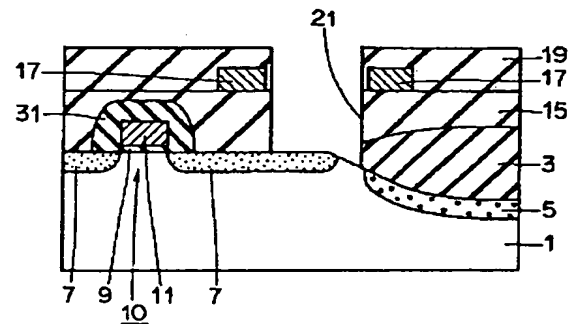
【図 11】



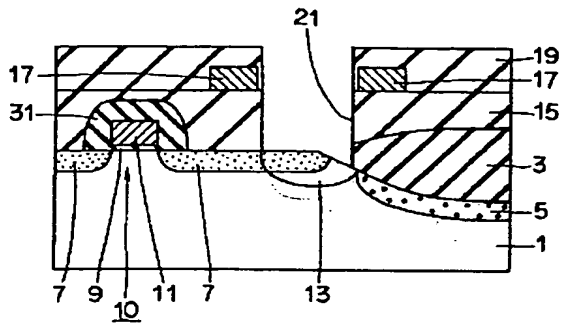
【図 12】



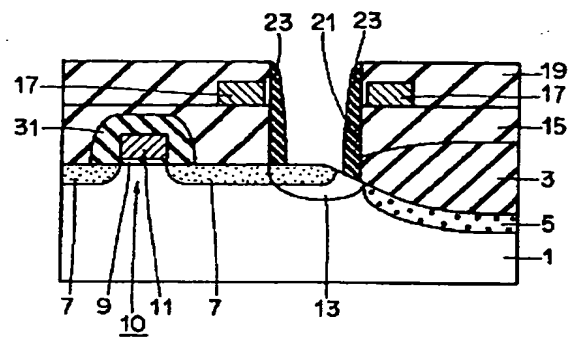
【図 13】



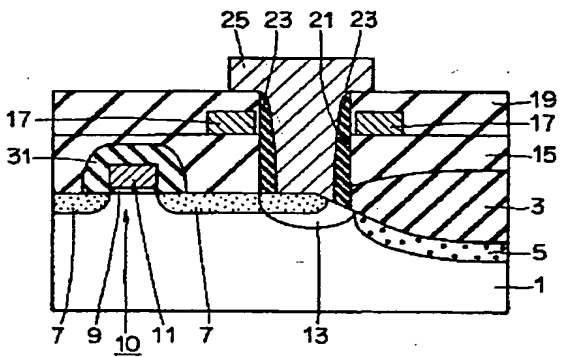
【図14】



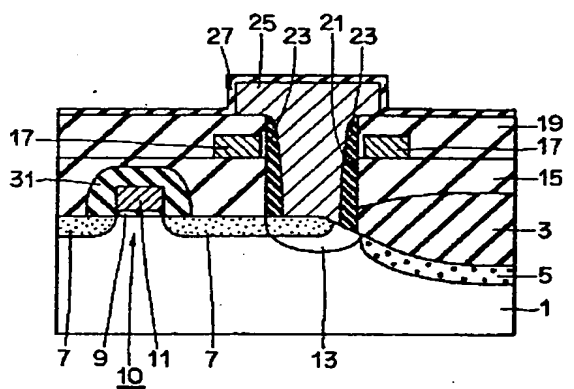
【図15】



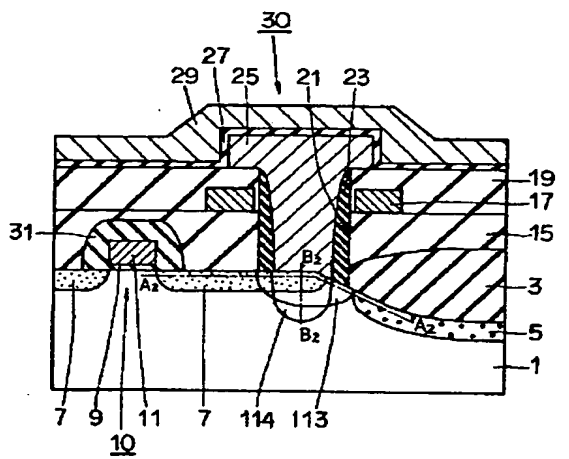
【図16】



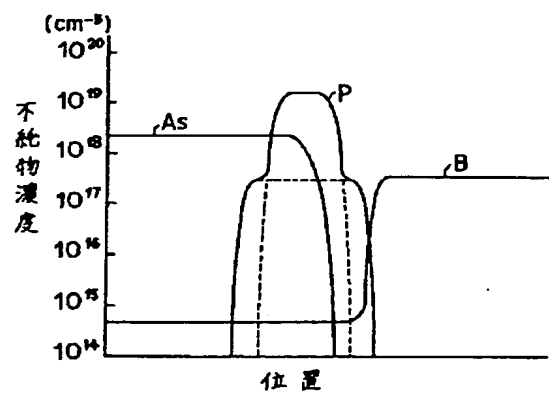
【図17】



【図18】

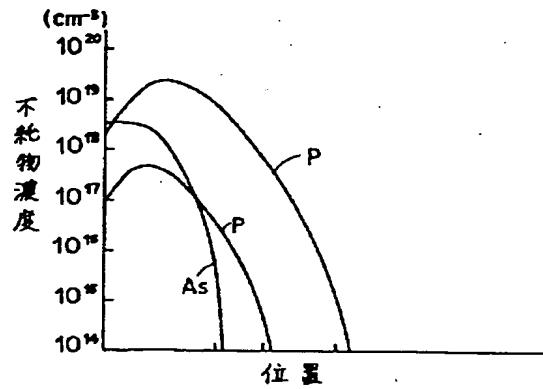


【図19】

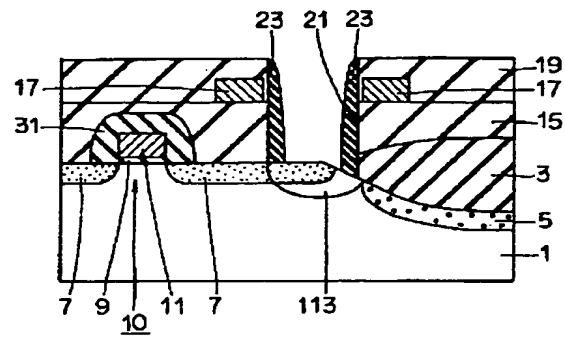


113, 114: n型不純物領域

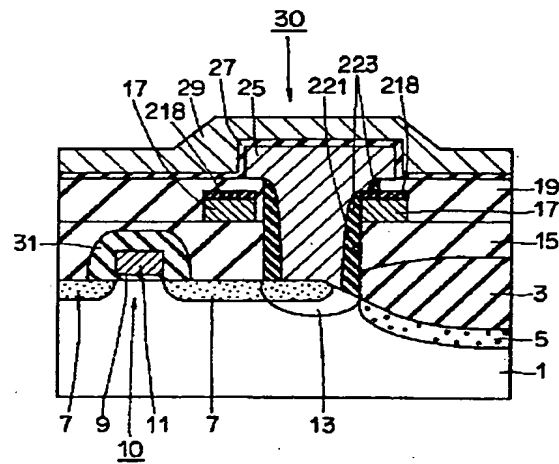
【図 20】



【図 21】

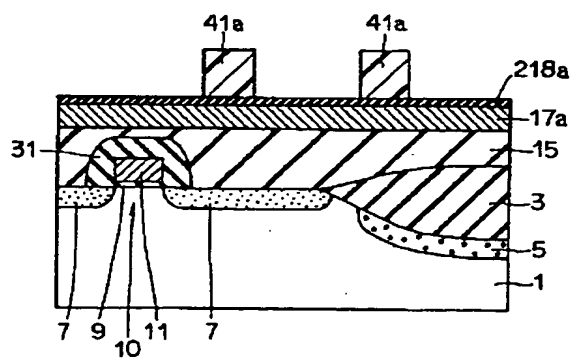


【図 23】

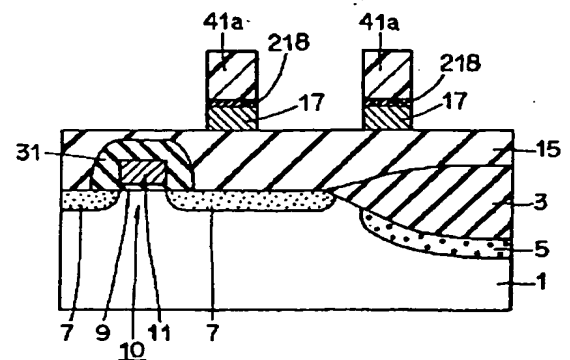


218: 絶縁層
 221: コンタクトホール
 223: 側壁絶縁層

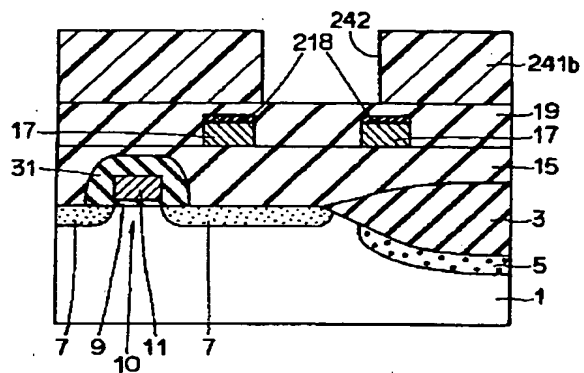
【図 24】



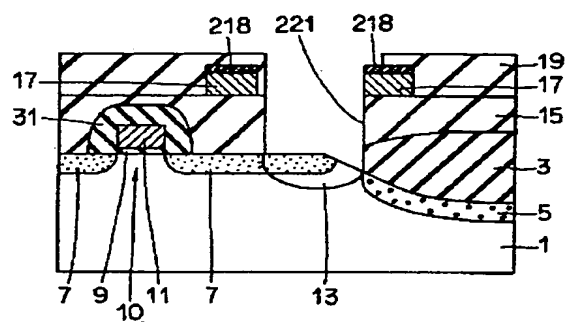
【図 25】



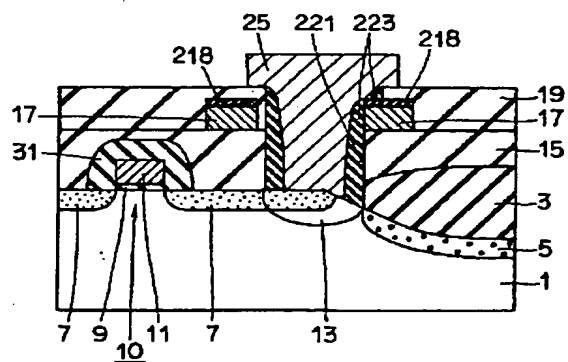
【図 27】



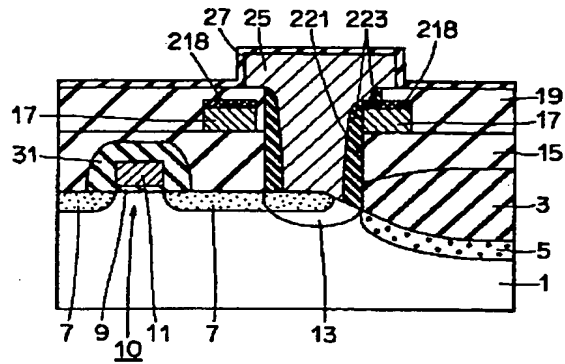
【図 29】



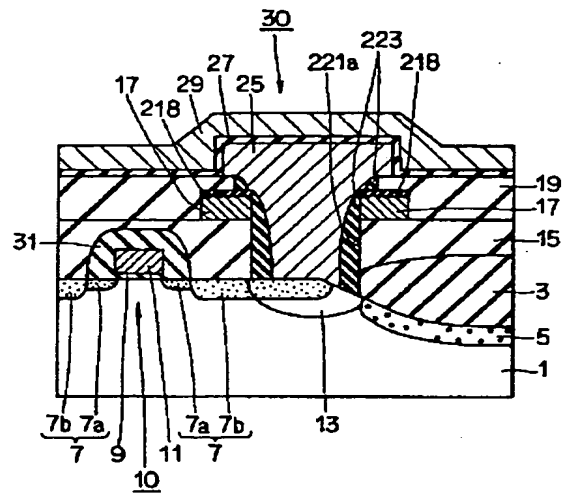
【图 3 1】



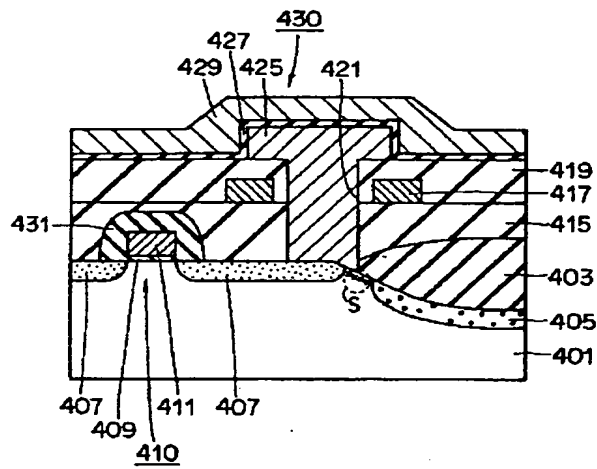
【図 3 2】



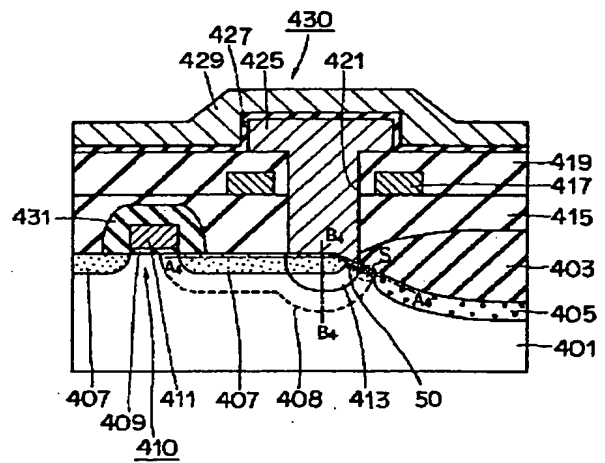
【図 3 3】



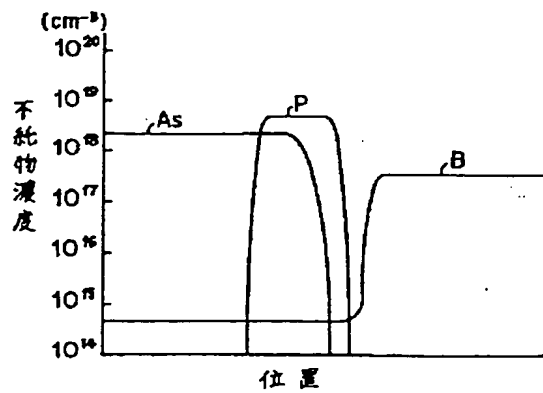
【図 3 4】



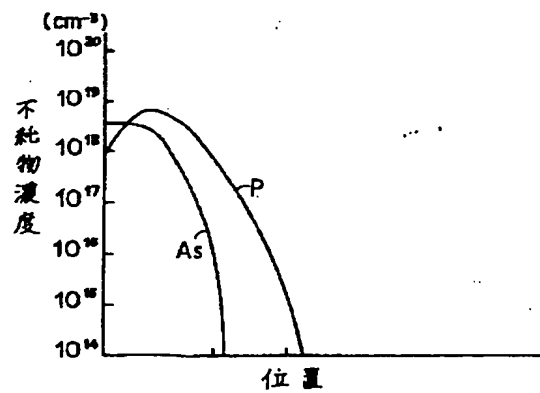
【図 3 5】



【図 3 6】



【図 3 7】



フロントページの続き

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

H 0 1 L 29/78

技術表示箇所

3 0 1 S